

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199154

(43)Date of publication of application : 04.08.1995

(51)Int.Cl. G02F 1/133  
G09G 3/36

(21)Application number : 05-353900

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 29.12.1993

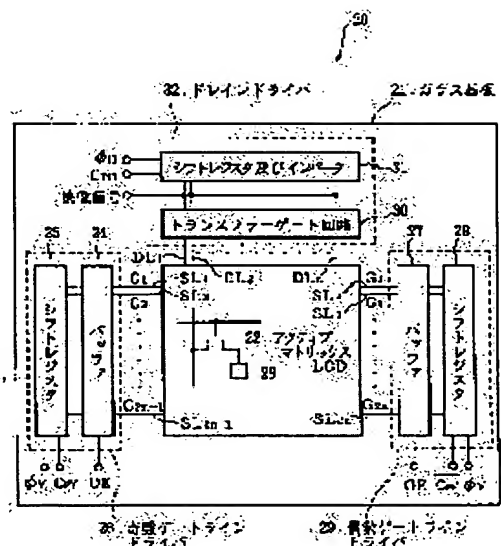
(72)Inventor : KANBARA MINORU

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To embody a liquid crystal device which can easily cope with scanning corresponding to progressive scanning and interlaced scanning by switching a control signal.

**CONSTITUTION:** In a liquid crystal display device 20, odd numbered scanning lines SL1, SL3 to SL2n-1, even numbered scanning lines SL2, SL4 to SL2n, data lines DL1-DLn, TFT elements 22 being switching elements arranged at each intersection, and a pixel capacity 23 are arranged on a glass substrate 21 in a matrix state. The odd numbered scanning lines SL1, SL3 to SL2n-1 are connected to an odd numbered gate line driver 26 consisting of a buffer 24 and an odd numbered scanning line shift register 25, and the even numbered scanning lines SL2, SL4 to SL2n are connected to an even numbered gate line driver 29 consisting of a buffer 27 and an even numbered scanning line shift register 28. The odd numbered gate line driver 26 driving the odd numbered scanning lines SL1, SL3 to SL2n-1 out of scanning lines and the even numbered gate line driver 29 driving the even numbered scanning lines SL2, SL4 to SL2n out of scanning lines are connected with a prescribed timing.



## LEGAL STATUS

[Date of request for examination] 21.12.2000

[Date of sending the examiner's decision of rejection] 30.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

[Claim(s)]

[Claim 1] The liquid crystal display characterized by preparing the odd line actuation circuit which drives an odd-number scan line among said scan lines, and the even line actuation circuit which drives an even-number scan line among said scan lines on said substrate in the liquid crystal display which has arranged a switching element and pixel capacity in the shape of a matrix at each intersection of a scan line and a data line formed on the substrate, and making it drive said odd line actuation circuit and said even line actuation circuit to predetermined timing.

[Claim 2] Said odd-line actuation circuit and said even-line actuation circuit are a liquid crystal display according to claim 1 characterized by driving to the timing of operation which enables the scan corresponding to sequential scanning and interlaced scanning.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal display used for a liquid crystal projector, a liquid crystal television, etc., and relates to the liquid crystal display which used the active-matrix panel of actuation circuit one apparatus for the detail.

[0002]

[Description of the Prior Art] By the active-matrix mold display (active matrix display) method, by arranging a nonlinear active element to each pixel, interference of an excessive signal can be eliminated and high definition can be realized.

[0003] Conventionally, as the indicating equipment of a black-and-white television is shown in drawing 5, the indicating equipment and especially the indicating equipment using a liquid crystal display panel have arranged a switching element 3 and the pixel capacity 4 in the shape of a matrix at each intersection of a scan line 1 and a data line 2 arranged by the m line n train, and have connected each

data line 2 to the scan side shift register 6 for each scan line 1 through the transfer gate circuit 7 at the data side shift register and the inverter 8 through a buffer 5, respectively. The above-mentioned buffer 5 and a shift register 6 constitute a gate driver 9, and the transfer gate circuit 7, a data side shift register, and an inverter 8 constitute the drain driver 10.

[0004] In this active-matrix means of displaying, every pixel capacity 4 of this, as a switching element, to a matrix electrode and two or more pixel capacity (pixel electrode) 4, for example, a TFT (thin film transistor) component is arranged, matrix actuation of the switching element is carried out, and each pixel capacity 4 is switched to the turning-inward side of one of the two's electrode substrate through a switching element 3 with them.

[0005] Clock signal CK for vertical used as Vertical Synchronizing signal  $\phi V$  and a data transfer clock is inputted into a shift register 6. A shift register 6 The sequential-scanning signals  $G1-Gn$  are outputted to each scan line 1 through a buffer 5. These scan signals  $G1-Gn$  In 1 horizontal-scanning period (635 microseconds), i.e., 1H period, by being set to high level one by one, the switching element 3 connected to each scan line 1 is made to turn on, and sequential selection actuation of the pixel connected to the scan line 1 concerned is carried out.

[0006] Moreover, Horizontal Synchronizing signal  $\phi H$  and the clock signal CPH for level are inputted into a shift register and an inverter 8, a shift register and an inverter 8 output driving signals  $S1-Sn$  to the transfer gate circuit 7 connected to each data line 2, the sequential transfer gate circuit 7 is turned on, and the video signal is inputted into each transfer gate circuit 7. Therefore, by carrying out sequential ON by the driving signals  $S1-Sn$  inputted from the data side shift register 6, each transfer gate circuit 7 is supplied to the data line 2 to which the video signal is connected in the turned-on transfer gate circuit 7 concerned, and charges the data line 2 concerned. And this video signal is impressed to the pixel capacity 4 connected to the scan line 1 concerned through the switching element 3 connected to the scan line 1 then chosen.

[0007] And the period which each of this transfer gate circuit 7 turns on, and all the transfer gate circuits 7 finish turning on is the effective video-signal period  $t_{eff}$  of a video signal (52 microseconds). Therefore, driving signals  $S1-Sn$  are high periods, and the period which one transfer gate circuit 7 turns on is the effective video-signal period  $t_{eff}$ . It is below the period divided by the number  $n$  of trains, i.e., the number of a data line 2.

[0008] As shown in above-mentioned drawing 6, in the circuitry of the active-matrix LCD panel actuation circuit section of conventional actuation circuit one apparatus, the drain driver 10 connects a flip-flop circuit to a cascade, constitutes a shift register, amplifies the output signal of each stage through an inverter, and drives the transfer gate circuit 7. A desired video signal is supplied to a drain line by the switch function of this transfer gate circuit 7.

[0009] Similarly, a gate driver 9 connects a flip-flop circuit to a cascade, constitutes a shift register, amplifies the output signal of each stage through an inverter, and drives a gate line.

[0010]

[Problem(s) to be Solved by the Invention] However, if shown in such a conventional display Since it was carrying out by carrying out sequential ON of the switching element in which the actuation by the side of data was prepared by each data line with the driving signal from a data side [ one ] shift register, Although it can respond to the method which writes the signal of the odd number scanning line currently generally performed and the even number scanning line in the pixel connected with the same gate line in case an NTSC signal is displayed The actuation corresponding to interlaced scanning is difficult, and had the problem that signal processing in the control circuit of the panel exterior was indispensable. Moreover, the digital disposal circuit was dramatically complicated.

[0011] Then, this invention aims at offering the liquid crystal display which can respond easily the scan corresponding to sequential scanning and interlaced scanning by switching a control signal.

[0012]

[Means for Solving the Problem] In the liquid crystal display with which invention according to claim 1

has arranged a switching element and pixel capacity in the shape of a matrix at each intersection of a scan line and a data line formed on the substrate for the above-mentioned object achievement. The odd-line actuation circuit which drives an odd number scan line among said scan lines on said substrate, He prepares the even-line actuation circuit which drives an even number scan line among said scan lines, and is trying to drive said odd-line actuation circuit and said even-line actuation circuit to predetermined timing.

[0013] Moreover, said odd-line actuation circuit and said even-line actuation circuit may be driven to the timing of operation which enables the scan corresponding to sequential scanning and interlaced scanning as indicated by claim 2, for example.

[0014]

[Function] By invention of claims 1 and 2, the odd-line actuation circuit which drives an odd number scan line among the scan lines formed on the substrate, and the even-line actuation circuit which drives an even number scan line among scan lines are prepared, and it drives to the timing of operation to which this odd-line actuation circuit and an even-line actuation circuit enable the scan corresponding to sequential scanning and interlaced scanning.

[0015] Therefore, the liquid crystal display corresponding to [ become possible to obtain easily the scan corresponding to sequential scanning and interlaced scanning by the same panel, and ] multimedia can be realized easily, without dropping the engine performance.

[0016]

[Example] Hereafter, this invention is explained based on a drawing.

[0017] Drawing 1 - drawing 4 are drawings showing one example of the liquid crystal display concerning this invention, and this example is applied to the display of the black-and-white television which used the liquid crystal display panel.

[0018] Drawing 1 is the circuit diagram of the liquid crystal display 20 of the black-and-white television which applied the liquid crystal display of this invention, and a liquid crystal display panel is used for a liquid crystal display 20.

[0019] In drawing 1, the TFT component 22 and the pixel capacity 23 as a switching element are arranged in the shape of a matrix at each intersection of the odd number scan line G1 where the liquid crystal display 20 was arranged by the m line n train on the glass substrate 21, G3-G2n-1 and the even number scan line G2, and G4-G2n and data lines DL1-DLn.

[0020] The gate is connected to the odd number scan line G1 which corresponds, respectively, G3-G2n-1 and the even number scan line G2, and G4-G2n, and each TFT component 22 is connected to the data lines DL1-DLn to which the drain corresponds, respectively. Moreover, as for each TFT component 22, the common line (not shown) where it connects, respectively and reference voltage is supplied for the pixel capacity 23 to the electrode of another side of the pixel capacity 23 is connected to the source.

[0021] It connects with each output terminal of the odd number scan line shift register 25 formed on the glass substrate 21 through the buffer 24, and the above-mentioned odd number scan line G1 and G3-G2n-1 are the scan shift clock signal CPV and scan side driving signal  $\phi V$  from the control circuit outside drawing in the odd number scan line shift register 25. It is inputted. The odd number scan line shift register 25 is this scan shift clock signal CPV and scan side driving signal  $\phi V$ . It responds and the predetermined scan signals G1-Gn are supplied to each scan lines SL1-SLm one by one. Moreover, a buffer 24 is controlled by the output-control signal OE from the control circuit outside drawing. The above-mentioned buffer 24 and the odd number scan line shift register 25 constitute the odd number gate line driver 26.

[0022] It connects with each output terminal of the even number scan line shift register 28 formed on the glass substrate 21 through the buffer 27, and the above-mentioned even number scan line G2 and G4-G2n are the scan shift clock signal CPV and scan side driving signal  $\phi V$  from the control circuit outside drawing in the even number scan line shift register 28. It is inputted. The even number scan line

shift register 28 is this scan shift clock signal CPV and scan side driving signal phiV. It responds and the predetermined scan signals G1-Gn are supplied to each scan lines SL1-SLm one by one. Moreover, a buffer 27 is controlled by the output-control signal OE from the control circuit outside drawing. The above-mentioned buffer 27 and the even number scan line shift register 28 constitute the even number gate line driver 29.

[0023] Thus, among scan lines, the odd number scan line G1, the odd number gate line driver 26 which drives G3-G2n-1, and among scan lines, a liquid crystal display 20 forms the even number scan line G2 and the even number gate line driver 29 which drives G4-G2n, and controls it by timing which mentions the odd number gate line driver 26 and the even number gate line driver 29 later by drawing 2 - drawing 4 on a glass substrate 21.

[0024] Each above-mentioned data lines DL1-DLn are connected to the data side shift register and inverter 31 which were formed on the above-mentioned glass substrate 21 through the transfer gate circuit 30.

[0025] The transfer gate circuit 30 consists of the transfer gates of the tie-in mold of PMOS (Metal Oxide Semiconductor) and NMOS formed by TFT (thin film transistor). The transfer gate circuit 30, a data side shift register, and an inverter 81 constitute the drain driver 32.

[0026] In a data side shift register and an inverter 31, they are the control circuit outside drawing to the clock signal CPH for level, and Horizontal Synchronizing signal phiH. It is inputted. A data side shift register and an inverter 31 output the driving signal for carrying out sequential actuation of said each switching transistor according to this clock signal CPH for level, and Horizontal Synchronizing signal phiH.

[0027] Next, actuation of this example is explained.

[0028] The timing chart at the time of the odd frame scan corresponding to interlaced scanning in drawing 3 and drawing 4 are the timing charts at the time of even number frame scanning corresponding to interlaced scanning corresponding to the timing chart at the time of sequential scanning of a liquid crystal display 20 in drawing 2.

[0029] First, the actuation at the time of sequential scanning is explained, referring to the timing chart of drawing 2.

[0030] Corresponding to the non-inverter signal of the data transfer clock CK, sequential selection of the odd number gate line is made. An even number gate line is opposite phase \*CK (\* shows a reversal signal.) of the data transfer clock CK to it. the following -- the same . It corresponds.

[0031] That is, a clock period will overlap a gate line (2n - one step and 2n step) and a gate line (2n step and 2n+1 step) a half cycle every, and they will be chosen. When the video signal for the 1 scanning line is supplied through a data line driver within the period of the half cycle of the data transfer clock CK at this time, the video signal supplied among the periods when each gate line is chosen at the period of the half cycle of the second half will be held as a signal decided to the pixel.

[0032] In this case, the analog video signal inputted into the drain driver 32 is supplied to each drain lines DL1-DLm through the transfer gate circuit 30 as for which Kaisei is carried out by the output from a shift register and an inverter 31, and is held with the capacity formed between each drain lines DL1-DLm and a glass substrate 21. And although accumulated in the pixel capacity 23 through the TFT component 22, this charge accumulated is decided on an electrical potential difference in case the TFT component 22 carries out Kaisei. Therefore, in the timing chart of drawing 2, although overlapped the half cycle every, since the closing timing of each gate line has shifted, it does not have the thing each gate line of whose is a clock period and which data interfere. In this scan method, since it is scanned in order (the gate lines G1 and G2, --, G2n-1, and G2n), it is equivalent to the so-called sequential scanning.

[0033] Next, the actuation at the time of interlaced scanning is explained, referring to the timing chart of drawing 3 and drawing 4.

[0034] In an odd frame, the same actuation of the odd number gate line driver 26 and the even number

gate line driver 29 is carried out. That is,  $2n$  – one step of gate line and a  $2n$  step gate line are chosen simultaneously. At this time, the video signal corresponding to the odd number scanning line is supplied through the drain driver 32.

[0035] Subsequently, in even frames, the data transfer clock CK shifts an odd number gate line driver and an even number gate line driver by 1 cycle, and they are supplied. That is, a step of  $2n$  gate line and the  $2n+1$  step gate line will be chosen simultaneously. At this time, the video signal corresponding to the even number scanning line is supplied through the drain driver 32.

[0036] That is, by this actuation approach, the video signal corresponding to the odd number scanning line is supplied to the gate lines G1 and G2, G3, G4–G $2n-1$ , and G $2n$  by the odd frame. In even frames, the image corresponding to the even number scanning line is supplied to the gate line G2, G3 and G4, G5–G $2n$ , and G $2n+1$ . Since the signal with which the video signal of the odd number scanning line and the video signal of the even number scanning line were equalized by each pixel will be supplied all over 1 field, it becomes a scan method corresponding to interlaced scanning.

[0037] Since a signal is supplied to a pixel corresponding to the period of one frame at this time, as compared with the conventional interlaced scanning, it is hard to produce a flicker, and there is no degradation of image quality.

[0038] In addition, interlaced scanning is also possible if an odd number gate line driver and an even number gate line driver are operated by turns corresponding to an odd frame and even frames.

[0039] As explained above, the liquid crystal display 20 of this example On a glass substrate 21, odd number scan line SL1, SL3–SL $2n-1$ , and the even number scan lines SL2 and SL4 – SL $2n$ , The TFT component 22 and the pixel capacity 23 as a switching element are arranged in the shape of a matrix at data lines DL1–DL $n$  and each [ these ] intersection. Odd number scan line SL1 and SL3–SL $2n-1$  To the odd number gate line driver 26 which consists of a buffer 24 and an odd number scan line shift register 25, the even number scan lines SL2 and SL4 – SL $2n$  The odd number gate line driver 26 which connects with the even number gate line driver 29 which consists of a buffer 27 and an even number scan line shift register 28, respectively, and drives odd number scan line SL1 and SL3–SL $2n-1$  among scan lines, Since he is trying to control the even number gate line driver 29 which drives the even number scan lines SL2 and SL4 – SL $2n$  among scan lines by timing shown in drawing 2 R> 2 – drawing 4 The liquid crystal display corresponding to [ can obtain easily the scan corresponding to sequential scanning and interlaced scanning by the same panel, and ] multimedia can be realized easily, without dropping the engine performance.

[0040] Consequently, since the liquid crystal display corresponding to multimedia can be realized and a digital disposal circuit becomes simple, avoiding the complexity of the control circuit of the panel exterior, it is effective in a design becoming easy. Furthermore, three kinds of actuation approaches can be used and it can apply to a more nearly general-purpose application.

[0041] In addition, although he is trying to drive the odd number gate line driver 26 \*\* even gate line driver 29 at this example to the timing shown in drawing 2 – drawing 4 , if a means by which an odd number scan line and an even number scan line can be driven independently, respectively is established, it cannot be overemphasized that what kind of configuration and timing are sufficient.

[0042] Moreover, although this example has applied the liquid crystal display to the TFT active matrix, it is not limited to this, and the class of liquid crystal panel, number of sheets, arrangement, etc. are arbitrary, for example, of course, it can change similarly about LCD of active-matrix actuation using MIM (Metal Insulator Metal) diode.

[0043] Furthermore, it cannot be overemphasized that the circuit which constitutes a gate signal generating circuit, a matrix, the gate number, its class, etc. are not restricted to the example mentioned above.

[0044]

[Effect of the Invention] According to invention of claims 1 and 2, since the circuit which can be driven independently, respectively is prepared for the odd number scan line and the even number scan line on

the substrate, the scan corresponding to sequential scanning and interlaced scanning can be easily obtained by the same panel, and the liquid crystal display corresponding to multimedia can be realized.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is circuitry drawing of one example of the liquid crystal display concerning this invention.

[Drawing 2] It is a timing chart at the time of sequential scanning of the liquid crystal display of this example.

[Drawing 3] It is a timing chart at the time of the odd frame scan corresponding to interlaced scanning of the liquid crystal display of this example.

[Drawing 4] It is a timing chart at the time of even number frame scanning corresponding to interlaced scanning of the liquid crystal display of this example.

[Drawing 5] It is circuitry drawing of the conventional liquid crystal display.

[Drawing 6] It is the timing chart of the conventional liquid crystal display.

[Description of Notations]

20 Liquid Crystal Display

21 Glass Substrate

22 TFT Component

23 Pixel Capacity

24 27 Buffer

25 28 Shift register

26 Odd Number Gate Line Driver

29 Even Number Gate Line Driver

30 Transfer Gate Circuit

31 Data Side Shift Register and Inverter

SL1, SL3-SL2n-1 Odd number scan line

SL2, SL4 - SL2n Even number scan line

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-199154

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 5 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号 特願平5-353900

(22) 出願日 平成5年(1993)12月29日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 神原 実

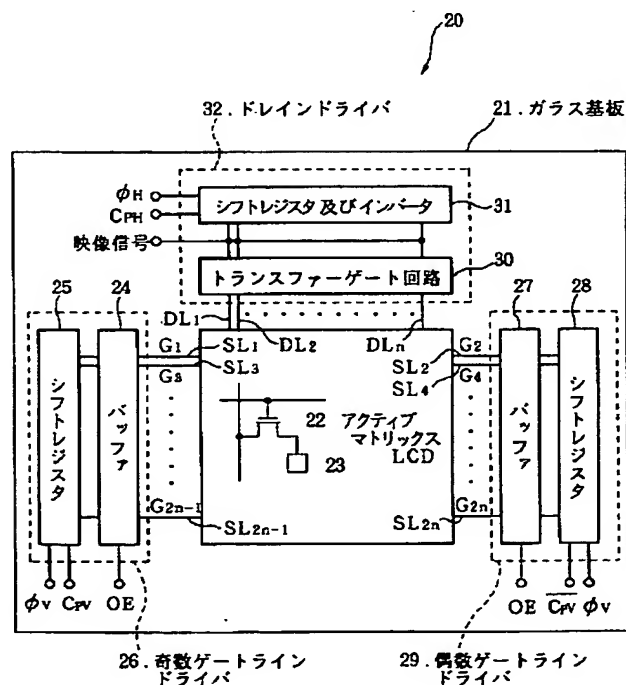
東京都八王子市石川町2951番地5 カシオ  
計算機株式会社八王子研究所内

#### (54) 【発明の名称】 液晶表示装置

#### (57) 【要約】

【目的】 順次走査と飛び越し走査に対応した走査を、コントロール信号を切り換えることで容易に対応することができる液晶表示装置を実現する。

【構成】 液晶表示装置20は、ガラス基板21上に、奇数走査ラインSL1, SL3~SL2n-1及び偶数走査ラインSL2, SL4~SL2nと、データラインDL1~DLn、それら各交点にスイッチング素子としてのTFT素子22と画素容量23とをマトリックス状に配置し、奇数走査ラインSL1, SL3~SL2n-1は、バッファ24及び奇数走査ラインシフトレジスタ25からなる奇数ゲートラインドライバ26に、偶数走査ラインSL2, SL4~SL2nは、バッファ27及び偶数走査ラインシフトレジスタ28からなる偶数ゲートラインドライバ29にそれぞれ接続し、走査ラインのうち奇数走査ラインSL1, SL3~SL2n-1を駆動する奇数ゲートラインドライバ26と、走査ラインのうち偶数走査ラインSL2, SL4~SL2nを駆動する偶数ゲートラインドライバ29とを所定のタイミングで制御する。





(2)

## 【特許請求の範囲】

【請求項1】 基板上に形成された走査ラインとデータラインの各交点にスイッチング素子と画素容量をマトリックス状に配置した液晶表示装置において、前記基板上に、前記走査ラインのうち奇数走査ラインを駆動する奇数ライン駆動回路と、前記走査ラインのうち偶数走査ラインを駆動する偶数ライン駆動回路と、を設け、前記奇数ライン駆動回路と前記偶数ライン駆動回路とを所定のタイミングで駆動するようにしたことを特徴とする液晶表示装置。

【請求項2】 前記奇数ライン駆動回路と前記偶数ライン駆動回路は、順次走査と飛び越し走査に対応する走査を可能にする動作タイミングで駆動されることを特徴とする請求項1記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、液晶プロジェクタ、液晶テレビ等に用いられる液晶表示装置に係り、詳細には、駆動回路一体型のアクティブマトリックスパネルを用いた液晶表示装置に関する。

## 【0002】

【従来の技術】アクティブマトリクス型表示(active matrix display)方式では、各画素に非線形能動素子を配置することによって余分な信号の干渉を排除し、高画質を実現することができる。

【0003】従来、表示装置、特に、液晶表示パネルを用いた表示装置は、図5に白黒テレビの表示装置を示すように、 $m$ 行 $n$ 列に配列された走査ライン1とデータライン2の各交点にスイッチング素子3と画素容量4とをマトリックス状に配置し、各走査ライン1をバッファ5を介して走査側シフトレジスタ6に、各データライン2をトランスファークロップ回路7を介してデータ側シフトレジスタ及びインバータ8に、それぞれ接続している。上記バッファ5及びシフトレジスタ6は、ゲートドライバ9を構成し、トランスファークロップ回路7、データ側シフトレジスタ及びインバータ8は、ドレインドライバ10を構成する。

【0004】このアクティブマトリクス表示方式では、片方の電極基板の内向面にマトリクス電極と、複数の画素容量(画素電極)4と、この画素容量4毎にスイッチング素子として、例えばTFT(thin film transistor)素子を配置して、スイッチング素子をマトリクス駆動し、スイッチング素子3を介してそれぞれの画素容量4をスイッチする。

【0005】シフトレジスタ6には、垂直同期信号 $\phi V$ 及びデータ転送クロックとなる垂直用クロック信号CKが入力され、シフトレジスタ6は、バッファ5を介して各走査ライン1に順次走査信号 $G1 \sim Gn$ を出力し、この走査信号 $G1 \sim Gn$ は、1水平走査期間(635 $\mu$

s)、すなわち1H期間で、順次ハイレベルになることにより、各走査ライン1に接続されているスイッチング素子3をオンさせて、当該走査ライン1に接続されている画素を順次選択駆動する。

【0006】また、シフトレジスタ及びインバータ8には、水平同期信号 $\phi H$ 及び水平用クロック信号CPHが入力され、シフトレジスタ及びインバータ8は、各データライン2に接続されたトランスファークロップ回路7に駆動信号 $S1 \sim Sn$ を出力して、順次トランスファークロップ回路7をオンし、各トランスファークロップ回路7には、映像信号が入力されている。したがって、各トランスファークロップ回路7は、データ側シフトレジスタ6から入力される駆動信号 $S1 \sim Sn$ により順次オンされることにより、映像信号を当該オンしたトランスファークロップ回路7の接続されているデータライン2に供給し、当該データライン2を充電する。そして、この映像信号は、そのとき選択されている走査ライン1に接続されているスイッチング素子3を介して、当該走査ライン1に接続されている画素容量4に印加される。

【0007】そして、この各トランスファークロップ回路7がオンして全てのトランスファークロップ回路7がオンし終わる期間は、映像信号の有効映像信号期間 $t_{eff}$ (52 $\mu$ s)である。したがって、一つのトランスファークロップ回路7がオンしている期間は、駆動信号 $S1 \sim Sn$ がハイの期間であり、有効映像信号期間 $t_{eff}$ を列数、すなわち、データライン2の本数 $n$ で割った期間以下である。

【0008】上記図6に示すように、従来の駆動回路一体型のアクティブマトリックスLCDパネル駆動回路部の回路構成では、ドレインドライバ10は、例えばフリップフロップ回路をカスケードに接続してシフトレジスタを構成し、各段の出力信号をインバータを通して増幅してトランスファークロップ回路7を駆動する。このトランスファークロップ回路7のスイッチ機能により所望の映像信号をドレインラインに供給する。

【0009】同様に、ゲートドライバ9は、フリップフロップ回路をカスケードに接続してシフトレジスタを構成し、各段の出力信号をインバータを通して増幅してゲートラインを駆動する。

## 【0010】

【発明が解決しようとする課題】しかしながら、このような従来の表示装置にあっては、データ側の駆動を1つのデータ側シフトレジスタからの駆動信号により、各データラインに設けられたスイッチング素子を順次オンすることにより行なっていたため、NTSC信号を表示する際に一般的に行なわれている奇数走査線と偶数走査線の信号を同一ゲートラインにつなげた画素に書き込む方式には対応できるものの、飛び越し走査に対応する駆動は困難であり、パネル外部のコントロール回路での信号処理が不可欠であるという問題があった。また、その

(3)

3

信号処理回路は非常に複雑であった。

【0011】そこで本発明は、順次走査と飛び越し走査に対応した走査を、コントロール信号を切り換えることで容易に対応することができる液晶表示装置を提供することを目的としている。

【0012】

【課題を解決するための手段】請求項1記載の発明は、上記目的達成のため、基板上に形成された走査ラインとデータラインの各交点にスイッチング素子と画素容量をマトリックス状に配置した液晶表示装置において、前記基板上に、前記走査ラインのうち奇数走査ラインを駆動する奇数ライン駆動回路と、前記走査ラインのうち偶数走査ラインを駆動する偶数ライン駆動回路と、を設け、前記奇数ライン駆動回路と前記偶数ライン駆動回路とを所定のタイミングで駆動するようにしている。

【0013】また、例えば請求項2に記載されているように、前記奇数ライン駆動回路と前記偶数ライン駆動回路は、順次走査と飛び越し走査に対応する走査を可能にする動作タイミングで駆動されるものであってもよい。

【0014】

【作用】請求項1及び2の発明では、基板上に形成された走査ラインのうち奇数走査ラインを駆動する奇数ライン駆動回路と、走査ラインのうち偶数走査ラインを駆動する偶数ライン駆動回路とが設けられ、この奇数ライン駆動回路と偶数ライン駆動回路が、順次走査と飛び越し走査に対応する走査を可能にする動作タイミングで駆動される。

【0015】したがって、同一パネルで順次走査と飛び越し走査に対応する走査を容易に得ることが可能になり、マルチメディアに対応した液晶表示装置を性能を落とすことなく容易に実現することができる。

【0016】

【実施例】以下、本発明を図面に基づいて説明する。

【0017】図1～図4は、本発明に係る液晶表示装置の一実施例を示す図であり、本実施例は、液晶表示パネルを用いた白黒テレビの表示装置に適用したものである。

【0018】図1は、本発明の液晶表示装置を適用した白黒テレビの液晶表示装置20の回路図であり、液晶表示装置20は、液晶表示パネルを用いたものである。

【0019】図1において、液晶表示装置20は、ガラス基板21上にm行n列に配列された奇数走査ラインG1、G3～G2n-1及び偶数走査ラインG2、G4～G2nとデータラインDL1～DLnの各交点にスイッチング素子としてのTFT素子22と画素容量23とがマトリックス状に配置されている。

【0020】各TFT素子22は、そのゲートがそれぞれ対応する奇数走査ラインG1、G3～G2n-1と偶数走査ラインG2、G4～G2nとに接続されており、そのドレインがそれぞれ対応するデータラインDL1～DLn

4

に接続されている。また、各TFT素子22は、そのソースに画素容量23がそれぞれ接続されており、画素容量23の他方の電極には、基準電圧の供給されるコモンライン（図示せず。）が接続されている。

【0021】上記奇数走査ラインG1、G3～G2n-1は、バッファ24を介してガラス基板21上に形成された奇数走査ラインシフトレジスタ25の各出力端子に接続されており、奇数走査ラインシフトレジスタ25には、図外の制御回路から走査シフトクロック信号CPVと走査側駆動信号φVが入力される。奇数走査ラインシフトレジスタ25は、この走査シフトクロック信号CPV及び走査側駆動信号φVに応じて各走査ラインSL1～SLmに順次所定の走査信号G1～Gnを供給する。また、バッファ24は、図外の制御回路からの出力制御信号OEにより制御される。上記バッファ24及び奇数走査ラインシフトレジスタ25は、奇数ゲートラインドライバ26を構成する。

【0022】上記偶数走査ラインG2、G4～G2nは、バッファ27を介してガラス基板21上に形成された偶数走査ラインシフトレジスタ28の各出力端子に接続されており、偶数走査ラインシフトレジスタ28には、図外の制御回路から走査シフトクロック信号CPVと走査側駆動信号φVが入力される。偶数走査ラインシフトレジスタ28は、この走査シフトクロック信号CPV及び走査側駆動信号φVに応じて各走査ラインSL1～SLmに順次所定の走査信号G1～Gnを供給する。また、バッファ27は、図外の制御回路からの出力制御信号OEにより制御される。上記バッファ27及び偶数走査ラインシフトレジスタ28は、偶数ゲートラインドライバ29を構成する。

【0023】このように、液晶表示装置20は、ガラス基板21上に、走査ラインのうち奇数走査ラインG1、G3～G2n-1を駆動する奇数ゲートラインドライバ26と、走査ラインのうち偶数走査ラインG2、G4～G2nを駆動する偶数ゲートラインドライバ29とを設け、奇数ゲートラインドライバ26及び偶数ゲートラインドライバ29を図2～図4で後述するタイミングで制御する。

【0024】上記各データラインDL1～DLnは、トランスファークロップ回路30を介して上記ガラス基板21上に形成されたデータ側シフトレジスタ及びインバータ31に接続されている。

【0025】トランスファークロップ回路30は、例えばTFT（thin film transistor）で形成されたPMOS（Metal Oxide Semiconductor）とNMOSの抱き合せ型のトランスファークロップで構成されている。トランスファークロップ回路30、データ側シフトレジスタ及びインバータ81は、ドレインドライバ32を構成する。

【0026】データ側シフトレジスタ及びインバータ31には、図外の制御回路から水平用クロック信号CPHと

(4)

5

水平同期信号 $\phi H$ が入力される。データ側シフトレジスタ及びインバータ31は、この水平用クロック信号CPHと水平同期信号 $\phi H$ に応じて前記各スイッチングトランジスタを順次駆動するための駆動信号を出力する。

【0027】次に、本実施例の動作を説明する。

【0028】図2は液晶表示装置20の順次走査時のタイミングチャート、図3は飛び越し走査に対応した奇数フレーム走査時のタイミングチャート、図4は飛び越し走査に対応した偶数フレーム走査時のタイミングチャートである。

【0029】まず、図2のタイミングチャートを参照しながら順次走査時の動作を説明する。

【0030】奇数ゲートラインは、データ転送クロックCKの正相信号に対応して順次選択されていく。それに対して偶数ゲートラインはデータ転送クロックCKの逆相\*CK(\*は、反転信号を示す。以下同様。)に対応していく。

【0031】つまり、 $2n-1$ 段と $2n$ 段のゲートライン、 $2n$ 段と $2n+1$ 段のゲートラインはクロック周期の半サイクルずつオーバーラップして選択されることになる。この時、データ転送クロックCKの半サイクルの期間内に一走査線分の映像信号をデータラインドライバを通して供給すると、各ゲートラインが選択されている期間のうち、後半の半サイクルの期間に供給された映像信号が画素に確定した信号として保持されることになる。

【0032】この場合、ドレインドライバ32に入力されるアナログ映像信号は、シフトレジスタ及びインバータ31からの出力により開成されるトランスファゲート回路30を介して各ドレインラインDL1~DLmに供給され、各ドレインラインDL1~DLmとガラス基板21間に形成される容量により保持される。そして、TFT素子22を介して画素容量23に蓄積されるが、この蓄積される電荷はTFT素子22が開成するときの電圧で確定する。従って、図2のタイミングチャートにおいて各ゲートラインがクロック周期の半サイクルずつオーバーラップしているが、各ゲートラインの開成タイミングはずれていてデータが混信することはない。この走査方法では、ゲートラインG1, G2, ..., G $2n-1$ , G $2n$ の順に走査されるから、いわゆる順次走査に相当する。

【0033】次に、図3及び図4のタイミングチャートを参照しながら飛び越し走査時の動作を説明する。

【0034】奇数フレームでは、奇数ゲートラインドライバ26と偶数ゲートラインドライバ29とが同一駆動される。すなわち、 $2n-1$ 段のゲートラインと $2n$ 段のゲートラインを同時に選択していく。この時、奇数走査線に対応する映像信号をドレインドライバ32を通して供給する。

【0035】次いで、偶数フレームでは、奇数ゲートラ

6

インドライバと偶数ゲートラインドライバとをデータ転送クロックCKの1サイクル分ずらして供給する。すなわち、 $2n$ 段のゲートラインと $2n+1$ 段のゲートラインを同時に選択していくことになる。この時、偶数走査線に対応した映像信号をドレインドライバ32を通して供給する。

【0036】つまり、この駆動方法では、奇数フレームでは奇数走査線に対応する映像信号がゲートラインG1とG2, G3とG4~G $2n-1$ とG $2n$ に供給され、偶数フレームでは偶数走査線に対応する映像がゲートラインG2とG3, G4とG5~G $2n$ とG $2n+1$ に供給され、各画素には奇数走査線の映像信号と偶数走査線の映像信号の平均化された信号が1フィールド中に供給されることになるから、飛び越し走査に対応した走査方法となる。

【0037】この時、画素には1フレームの周期に対応して信号が供給されるので、従来の飛び越し走査に比較するとフリッカーが生じにくく、画質の劣化がない。

【0038】なお、奇数フレーム・偶数フレームに対応して奇数ゲートラインドライバと偶数ゲートラインドライバを交互に動作させれば、飛び越し走査も可能である。

【0039】以上説明したように、本実施例の液晶表示装置20は、ガラス基板21上に、奇数走査ラインSL1, SL3~SL $2n-1$ 及び偶数走査ラインSL2, SL4~SL $2n$ と、データラインDL1~DLn、それら各交点にスイッチング素子としてのTFT素子22と画素容量23とをマトリックス状に配置し、奇数走査ラインSL1, SL3~SL $2n-1$ は、バッファ24及び奇数走査ラインシフトレジスタ25からなる奇数ゲートラインドライバ26に、偶数走査ラインSL2, SL4~SL $2n$ は、バッファ27及び偶数走査ラインシフトレジスタ28からなる偶数ゲートラインドライバ29にそれぞれ接続し、走査ラインのうち奇数走査ラインSL1, SL3~SL $2n-1$ を駆動する奇数ゲートラインドライバ26と、走査ラインのうち偶数走査ラインSL2, SL4~SL $2n$ を駆動する偶数ゲートラインドライバ29とを図2~図4に示すタイミングで制御するようにしているので、同一パネルで順次走査と飛び越し走査に対応する走査を容易に得ることができ、マルチメディアに対応した液晶表示装置を性能を落とすことなく容易に実現することができる。

【0040】その結果、パネル外部のコントロール回路の複雑さを回避しつつマルチメディアに対応した液晶表示装置が実現でき、信号処理回路が単純になるため設計が容易になる効果がある。さらに、3種類の駆動方法を用いることができ、より汎用な用途に適用できる。

【0041】なお、本実施例では、図2~図4に示すタイミングで奇数ゲートラインドライバ26及偶数ゲートラインドライバ29を駆動するようにしているが、奇数走査ラインと偶数走査ラインとをそれぞれ独立に駆動で

(5)

7

きる手段を設けたものであればどのような構成及びタイミングでもよいことは言うまでもない。

【0042】また、本実施例は液晶表示装置をTFTアクティブマトリックスに適用しているが、これに限定されるものではなく、液晶パネルの種類や枚数、配置等は任意であり、例えばMIM (Metal Insulator Metal) ダイオードを用いたアクティブマトリックス駆動のLCDについても同様に変更可能であることは勿論である。

【0043】さらに、ゲート信号発生回路を構成する回路やマトリクス、ゲート数、その種類などは前述した実施例に限られないことは言うまでもない。

【0044】

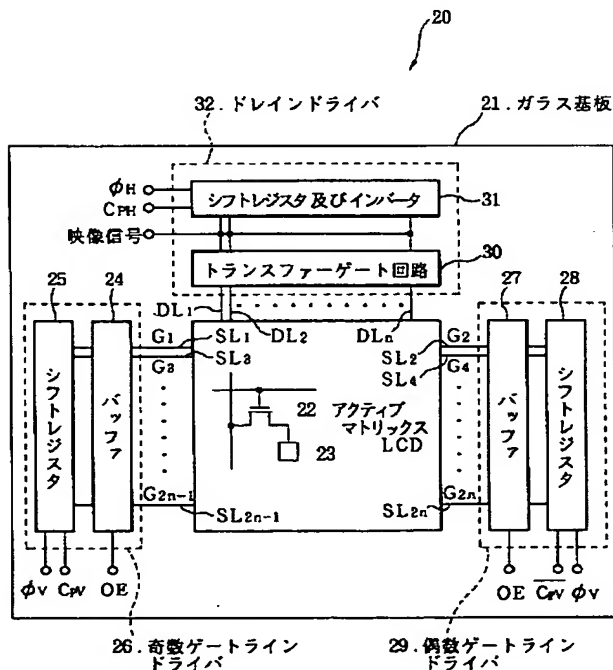
【発明の効果】請求項1及び2の発明によれば、基板上に、奇数走査ラインと偶数走査ラインとをそれぞれ独立して駆動可能な回路を設けているので、同一パネルで順次走査と飛び越し走査に対応する走査を容易に得ることができ、マルチメディアに対応した液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施例の回路構成図である。

【図2】同実施例の液晶表示装置の順次走査時のタイミ

【図1】



8

ングチャートである。

【図3】同実施例の液晶表示装置の飛び越し走査に対応した奇数フレーム走査時のタイミングチャートである。

【図4】同実施例の液晶表示装置の飛び越し走査に対応した偶数フレーム走査時のタイミングチャートである。

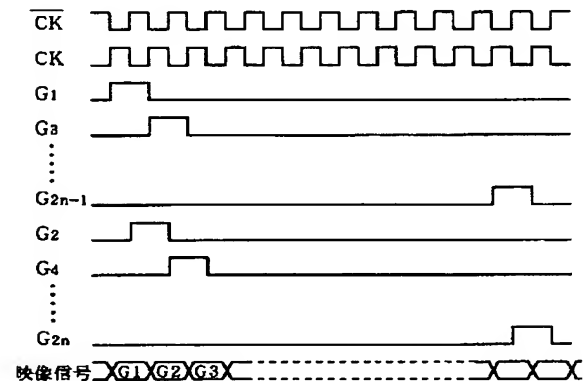
【図5】従来の液晶表示装置の回路構成図である。

【図6】従来の液晶表示装置のタイミングチャートである。

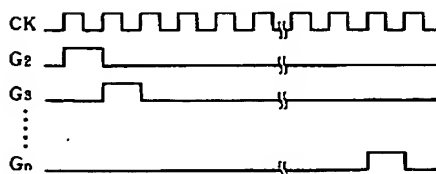
【符号の説明】

- 20 液晶表示装置
- 21 ガラス基板
- 22 TFT素子
- 23 画素容量
- 24, 27 バッファ
- 25, 28 シフトレジスタ
- 26 奇数ゲートラインドライバ
- 29 偶数ゲートラインドライバ
- 30 トランスファーゲート回路
- 31 データ側シフトレジスタ及びインバータ
- SL1, SL3~SL2n-1 奇数走査ライン
- SL2, SL4~SL2n 偶数走査ライン

【図2】



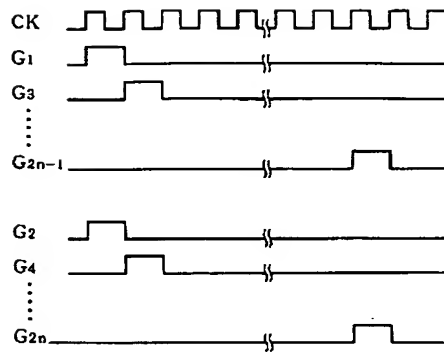
【図6】



(6)

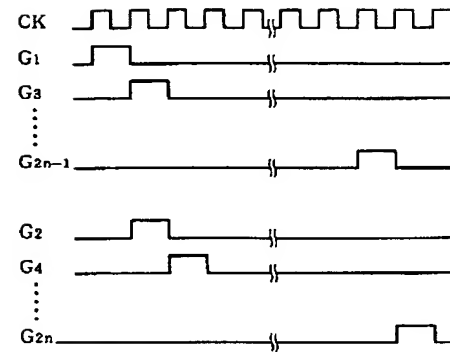
【図3】

奇数フレーム



【図4】

偶数フレーム



【図5】

